CYIENT

CMOSイメージセンサーのロジック設計

Job Information

Hiring Company
Cyient K.K.

Job ID
1615931

Industry
IT Consulting

Job Type
Permanent Full-time

Location
Kanagawa Prefecture, Atsugi-shi

Salary
7 million yen ~ 9 million yen

Work Hours
9am - 6pm JST

Holidays
会社の規定に準ずる

Refreshed
November 23rd, 2026 01:00

General Requirements

Minimum Experience Level
Over 1 year

Career Level
Mid Career

Minimum English Level
Daily Conversation Level

Minimum Japanese Level
Fluent Level

Minimum Education Level
High-School

Visa Status
Permission to work in Japan required

Job Description

≪募集要項・本ポジションの魅力≫

- CMOSイメージセンサー向けロジック回路の設計・開発からRTL検証まで幅広く担当
- Verilog HDLやEDAツールを駆使して設計・検証を行い、先端半導体技術の製品化に貢献できるやりがい
- LSI設計・検証の専門性を活かし、FPGAやSoCなど周辺領域へ技術の幅を広げられる
- 半導体設計の各チームと連携しながら、Linux・SVA・Xceliumなど実践的な技術スキルを磨ける環境

【業務内容】
FPGA、SoC、半導体の設計・検証領域に専門性を持ち、ロジック設計から検証まで幅広く携わることのできるエンジニアを求めています。

＜具体的には＞

- CMOSイメージセンサー向けロジック回路の設計・開発
- Verilog HDLを用いたRTLコーディングおよび検証
- シミュレーションおよび検証計画の策定・実行
- 半導体設計に関わる各部門・チームとの連携・協業

【雇用形態】
正社員

【給与】
700万円 ~ 900万円以上

【就業時間】
9am-6pm JST

【勤務地】
本厚木

【休日休暇】
会社の規定に準ずる

【待遇・福利厚生】
会社の規定に準ずる

Required Skills

【必須要件】

- LSIロジック回路の設計および検証経験
- Verilog HDLによるRTLコーディングの高いスキル
- Linux環境、SVA (SystemVerilog Assertions) 、Xcelium、EDAツールの使用経験
- 優れたコミュニケーション能力
- 日本語 N2以上

【歓迎要件】

- CMOSイメージセンサーに関する設計・開発経験
- FPGA、SoC、半導体の設計・検証に関する専門知識・実務経験

Company Description