



デジタルIPエンジニア/Digital IP Engineer 8MY

IT業界でのキャリアアップをサポートします！

Job Information

Recruiter

Fidel Consulting KK

Job ID

1591375

Industry

IT Consulting

Job Type

Permanent Full-time

Location

Tokyo - 23 Wards

Salary

8 million yen ~ 10 million yen

Refreshed

May 11th, 2026 12:59

General Requirements

Minimum Experience Level

Over 10 years

Career Level

Mid Career

Minimum English Level

Business Level

Minimum Japanese Level

Business Level

Minimum Education Level

Bachelor's Degree

Visa Status

Permission to work in Japan required

Job Description

魅力的なポイント：

- アーキテクチャ、RTL設計、検証、合成、配置配線（P&R）、静的タイミング解析（STA）を含むIP/SOC開発ライフサイクル全体に携わる機会があり、高度なVLSIエンジニアリングスキルを向上させることができます。
- 最先端のエンジニアリング環境において、UVM/OVM、SystemVerilogアサーション、制約付きランダムテスト、Cadence EDAフローを用いて、高品質なデジタルIP開発を主導します。
- 東京拠点でリーダーシップを発揮し、クロスサイトプログラムの実行を推進することで、技術力とプロジェクトマネジメント能力の両方を強化します。

年収：800万円以上

職務内容

- アーキテクチャ、RTL設計、検証、合成、配置配線（P&R）、静的タイミング解析（STA）など、IP/SOC設計プロセスの様々なフェーズに積極的に参加します。

- UVM/OVMなどの高度な検証手法を活用し、高品質な設計成果物を確保します。
- 制約付きランダムテストおよびデバッグ戦略を策定・実行し、問題を効果的に特定・解決します。
- PerlまたはPythonでスクリプトを作成・保守し、プロセスの自動化と生産性の向上を図ります。
- 包括的なテストを確実にを行うため、カバレッジ空間を定義し、カバレッジモデルを開発します。
- 検証プロセスを強化するため、SystemVerilog Assertions (SVA) を実装します。
- IPファクトリーモデルの実行を監督し、プロジェクト目標との整合性を確保します。
- 設計および検証タスクにCadence EDAフローを活用し、業界標準への準拠を徹底します。
- 業界標準のCADツールを使用して、静的タイミング解析、寄生抽出、配置配線、IRドロップ解析、DRCチェックを実施します。
- 複数の拠点にまたがるプログラム実行を主導・調整し、チームメンバー間の連携とコミュニケーションを促進します。

Required Skills

応募資格：

- 電子工学または電気工学の学位を有し、デジタルIPエンジニアリング分野で10年以上の経験。
- UART、SPI、I2Cなどのデジタル通信プロトコルに精通。
- VLSI UVM手法に関する高度な専門知識。
- 問題解決、制約付きランダムテスト、デバッグなど、確かな検証スキル。
- Cadence EDAフローに関する高度な経験。
- 優れた口頭および書面によるコミュニケーション能力。
- 電子工学または電気工学の学士号または修士号。
- デジタルIPエンジニアリングにおける10～15年の関連経験。
- プロジェクト遂行とチームリーダーシップにおける実績。
- リーダーシップを発揮したい意欲的で経験豊富なデジタルIPエンジニアの方、ぜひ東京のダイナミックなチームにご応募ください。

歓迎スキル

- カバレッジスペースの定義とカバレッジモデルの作成経験。
- System Verilogアサーションに関する知識。

Company Description