



## Senior Staff Engineer Elect Design (物理設計)

外資系半導体メーカーでの募集です。弱電回路設計のご経験のある方は歓迎です。

### Job Information

**Recruiter**

JAC Recruitment Co., Ltd.

**Hiring Company**

外資系半導体メーカー

**Job ID**

1588339

**Industry**

Electronics, Semiconductor

**Company Type**

International Company

**Job Type**

Permanent Full-time

**Location**

Tokyo - 23 Wards

**Salary**

6 million yen ~ 9 million yen

**Work Hours**

09:00 ~ 17:30

**Holidays**

詳細は求人ご紹介時にご案内いたします。

**Refreshed**

June 13th, 2026 01:00

### General Requirements

**Career Level**

Mid Career

**Minimum English Level**

Business Level

**Minimum Japanese Level**

Native

**Minimum Education Level**

Technical/Vocational College

**Visa Status**

Permission to work in Japan required

### Job Description

【求人No NJB2374000】

■車載向けマイコン (MCU) のリーディングカンパニーにおける物理設計エンジニア (日本で開発ができます) です。車載向け先端プロセスと洗練されたデバイスアーキテクチャの実現を通じて、社会に大きく貢献できるポジションです。

【業務内容】

・低消費電力設計を考慮した物理設計 (Physical Design Implementation) 全般 (論理合成、フロアプランニング、配置配線 (Place Route) )、

クロックツリー合成 (CTS)、IP統合、配線抽出、EDAツール (Fusion Compiler) を用いた物理検証) の計画および実行を担当

- ・ タイミング関連チェック全般 (Timing Fix、セットアップ/ホールド要件、DRVチェック、パワーインテント仕様および検証、各種サインオフチェック) の計画および実行を担当

- ・ 他のクラスタ設計者と連携しながら、プロジェクトマイルストーン達成に向けたスケジュール管理・調整を支援し、レイアウト開発全体の進捗状況をプロジェクトマネージャーへ定期的に報告

- ・ Tcl/Tk や Python などのスクリプト言語を用いて、設計作業の自動化を行える一定レベルのスキルを有すること

---

## Required Skills

### 【必須】

- ・ フロアプランニング、配置配線 (Place Route)、クロックツリー合成 (CTS)、物理検証エラー修正、および論理合成における 3年以上の実務経験

- ・ タイミング制約、静的タイミング解析 (STA)、タイミングサインオフ条件に関する理解

- ・ IREMフローおよびマルチ電源ドメイン設計フローに関する理解

チームワークを重視し、協調して業務を遂行できる方

- ・ 英語/日本語ビジネスレベル

---

## Company Description

ご紹介時にご案内いたします